

A fabrication method of interconnect structure

A fabrication method of interconnect structure comprising the follow steps : first, providing a substrate with interconnect metal on the surface, a first dielectric layer and a second dielectric layer are deposited to cover the inter-metal dielectric layer of the interconnect wire. Then the inter-metal dielectric is etched to form a void to expose the interconnect wire. Coating a ARC to cover the inter-metal dielectric layer and fill the void. After that the ARC and the second dielectric layer are etched to form a trench in the second dielectric layer. Then the residual ARC on the inter-metal dielectric layer and in the void is removed. A metal interconnect wire is formed to fill the void and trench to accomplish the interconnect structure.

公告本

第 93128579 號
初審引証附件

申請日期	81.4.26
案號	87105025
類別	發明 C1 ^B H01L21/268

A4
C4

366565

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	鑲嵌式內連線結構之製造方法
	英 文	
二、發明 創作人	姓 名	1.林正堂 2.李豫華 3.黃振銘 4.吳振銘
	國 籍	中華民國
三、申請人	住、居所	1.台中市南屯區黎明社區干城街214巷4號 2.新竹縣竹東鎮大林路77巷2弄4號 3.新竹市北區福林里4鄰境福街154號 4.高雄縣梓官鄉赤東村2鄰赤崁東路130巷23號
	姓 名 (名稱)	台灣積體電路製造股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區研新一路九號
	代 表 人 姓 名	張忠謀

裝

訂

線

四、中文發明摘要(發明之名稱： 鑲嵌式內連線結構之製造方法)

一種鑲嵌式內連線結構之製造方法，包括下列步驟：
首先提供一基底，表面具有金屬內連線，其次依序在基底上方沈積第一介電層及第二介電層，其作為覆蓋金屬內連線之層間介電層。接著定義一介層窗圖案，並蝕刻層間介電層以形成暴露金屬內連線部份表面之孔洞。其次塗佈一抗反射層，以覆蓋層間介電層並填滿孔洞，之後，定義一內連線溝槽圖案，並據此蝕刻抗反射層及第二介電層，以於第二介電層處形成內連線溝槽。接續除去層間介電層表面及孔洞內所剩餘之抗反射層，並以第一介電層處之孔洞作為介層窗，最後形成另一金屬內連線，其填滿介層窗及內連線溝槽，完成鑲嵌式內連線結構。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

本發明係有關一種鑲嵌式內連線結構(damascene interconnect structure)之製造方法，特別有關於一種以抗反射塗料(ARC：anti-reflection coating)作為遮蔽罩幕之鑲嵌式內連線結構製造方法。

在積體電路(ICs)的應用上，導體、半導體及絕緣層等材料已被廣泛使用，其中薄膜沈積技術(Thin Film Deposition)，主要即是將上述各材料分層沈積於待製晶圓(wafer)表面，以形成半導體元件如電晶體或電容。

其中為了避免各元件或金屬導體因直接接觸而短路，故必須選擇絕緣層以之隔離，其中用來隔離之介電材料一般稱之為層間介電層。

例如內層介電層(ILD：inter-layer dielectrics)，可用作電晶體、電容等半導體元件與後續金屬層之隔離，此外，在深次微米製程中，積體電路積集度(integration)增加，製作電晶體之基底面積則需不斷減少以提高密度，因此目前大多採用多層內連線(multi-level interconnects)之立體架構方式，而另以內金屬介電層(IMD：Inter-Metal Dielectrics)來作為隔離各金屬內連線之介電材料。而於上下層內連線之間，則透過接觸窗(contact)或介層窗(via)之金屬插塞(metal plug)電性連接。

傳統形成金屬內連線結構之製程係如第1-6圖所示。

依據第1圖，起始步驟首先係提供一矽基底100，其形成有半導體元件如電晶體或電容，接著再依傳統半導體製程形成一內介電層(ILD)110，其用來隔離半導體元件，

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(2)

其次依序形成一下層金屬內連線 120 如鋁線及一覆蓋下層金屬內連線 120 及基底 100 之內金屬介電層(IMD)130。

然後如第 2 圖所示，定義一介層窗圖案，蝕刻內金屬介電層(IMD)130 以形成一暴露下層金屬內連線 120 部份表面的介層窗(via)140。

接續，如第 3 圖所示，沈積一金屬層 150 以覆蓋內金屬介電層(IMD)130，其並填滿介層窗(via)140。

之後，如第 4 圖所示，回蝕刻金屬層 150 以形成一填平介層窗 140 之金屬插塞 160。

如第 5 圖所示，隨之沈積另一金屬鋁層 170，以覆蓋該內金屬介電層(IMD)130 及金屬插塞 160。

最後，如第 6 圖所示，定義金屬內連線之圖案，蝕刻金屬鋁層 170 以形成一上金屬內連線 180。

依前述傳統內連線結構，由於係分別以兩道微影製程製作介層窗及金屬內連線，因此需繁複的沈積及定義圖案步驟，而在進入 0.18 微米以下的半導體製程時，也因多層內連線佈局(layout)的趨於複雜，而使定義金屬內連線圖案的困難度大增。

為克服上述困難，目前另發展出一種鑲嵌式內連線結構(damascene interconnect structure)，其依據製程特性而可分為單層型(single type)、雙層型(dual type)和自我對準型(self-aligned type)，以雙層型鑲嵌式內連線結構為例，如第 7 至 12 圖所示。

依據第 7 圖，和第 1 圖相同之傳統製程，起始步驟首

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(3)

先係提供一矽基底 200，其形成有半導體元件如電晶體或電容，接著再依半導體製程形成一內介電層(ILD)210，其用來隔離半導體元件，其次依序形成一下層金屬內連線 220 如鋁線及一覆蓋下層金屬內連線 220 及基底 200 之絕緣層 230。

其次，再依序沈積一氮化矽層 240 及絕緣層 250，其中，氮化矽層 240 用作蝕刻停止層，其與絕緣層 230、250 則合為層間介電層，如多層內連線之內金屬介電層(IMD)235，一般層間介電層係採用低介電係數之氧化物質。

然後如第 8 圖所示，塗佈一光阻材料 260，經定義一介層窗圖案，蝕刻內金屬介電層(IMD)235 以形成一暴露下層金屬內連線 220 部份表面的孔洞 270，隨之除去光阻材料 260。

接續，如第 9 圖所示，再次塗佈一光阻材料 280，經微影製程之曝光顯影步驟，定義內連線溝槽圖案，以暴露出絕緣層 250 之部份表面 281，並留下部份光阻材料 280a 於孔洞 270 中，避免下金屬內連線 220 於蝕刻時受到損傷。

依次，如第 10 圖所示，以光阻材料 280、280a 及氮化矽層 240 為遮蔽罩幕，蝕刻絕緣層 250 以形成內連線溝槽 282，隨之除去光阻材料 280、280a，以絕緣層 230 處之孔洞作為介層窗 283。

最後，如第 11 圖所示，沈積另一金屬鋁層 290，以覆蓋該絕緣層 250，其並填滿內連線溝槽 282 及介層窗 283，

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(4)

接著回蝕刻或以化學機械研磨製程(CMP : chemical mechanic polishing)平坦化該金屬鋁層 290 以形成一填平介層窗 283 及內連線溝槽 282 之鑲嵌式內連線結構。

然而，前述鑲嵌式內連線結構的問題在於第 9 圖之關鍵步驟，亦即欲留下部份光阻材料 280a 於孔洞 270 時，必須調整曝光量使孔洞 270 中深層之光阻材料不被顯影，而只顯影位在絕緣層 250 處之淺層光阻材料，但是一般孔洞 270 在位於絕緣層 230 處用作介層窗 283 之深度有其實際限制，因此，製程誤差容許度(process window)過度窄化(narrow)的結果，良率無法有效提昇。

有鑑於此，本發明之目的即在於以抗反射材料(ARC : anti-reflection coating)取代光阻材料作為遮蔽罩幕，以形成鑲嵌式內連線結構。

為達成上述目的，本發明提供一種鑲嵌式內連線結構之製造方法，包括下列步驟：提供一基底，其表面具有一第一內連線；依序在該基底上方形成一第一介電層及一第二介電層，以作為覆蓋該第一內連線之層間介電層；定義一介層窗圖案，並蝕刻該層間介電層以形成暴露該第一內連線部份表面之孔洞；形成一抗反射層，其覆蓋該層間介電層並填滿該孔洞；定義一內連線溝槽圖案，並依據該內連線溝槽圖案蝕刻該抗反射層及第二介電層，以於該第二介電層處形成內連線溝槽；除去剩餘之該抗反射層，以位於該第一介電層處之孔洞作為介層窗；形成一第二內連線，其填滿該介層窗及內連線溝槽，完成鑲嵌式內連線結

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (5)

構。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 至 6 圖係為先前技術中，傳統形成金屬內連線結構之半導體製程剖面圖。

第 7 至 11 圖係為先前技術中，傳統形成鑲嵌式金屬內連線結構之半導體製程剖面圖。

第 12 至 20 圖係顯示本發明之一實施例中，形成鑲嵌式金屬內連線結構之半導體製程剖面圖。

第 21 至 22 圖係顯示本發明之另一實施例中，形成鑲嵌式金屬內連線結構之半導體製程剖面圖。

符號說明

100~基底； 110~內介電質層； 120~下層金屬內連線； 130~內金屬介電層； 140~介層窗； 150~金屬層； 160~金屬插塞； 170~金屬層； 180~上金屬內連線； 200~基底； 210~內介電質層； 220~下層金屬內連線； 230~絕緣層； 240~氮化矽層； 250~絕緣層； 235~內金屬介電層； 260~光阻； 270~孔洞； 280~光阻； 280a~光阻； 282~內連線溝槽； 283~介層窗； 290~上金屬內連線； 300~基底； 310~內介電質層； 320~下層金屬內連線； 330~絕緣層； 340~遮蔽層； 350~絕緣層； 335~內金屬介電層； 360~光阻； 370~孔洞； 400~抗反射層； 380~光

五、發明說明(6)

阻；400a~抗反射層；382~內連線溝槽；383~介層窗；390~上金屬內連線。

實施例

請參閱第12至20圖，其顯示本發明之第一實施例。

首先依據第12圖，其顯示本發明之起始步驟，在該圖中，基底300為一半導體材質，如矽(silicon)，為方便說明，在此以一矽基底為例。

接著在基底300表面形成一半導體元件如電晶體或電容。舉例而言，可先利用一熱氧化製程，如區域氧化法(LOCOS)來形成一場絕緣層(field insulator)，並藉該場絕緣層來隔離出主動區(active area)，在主動區上則另以半導體製程如沈積、微影製程、和離子植入來形成一具有輪廓(topography)深度之半導體元件，由於前述為傳統製程，故未顯示。

其次在該基底300上方形成一覆蓋半導體元件之介電層，用以作為內絕緣層(ILD：inter-layer dielectric layer)310，其中該絕緣層之材質，例如氧化層，可由二氧化矽組成或者為硼磷矽玻璃層(BPSG)。

接著，在內絕緣層310表面形成一下層內連線，例如在該絕緣層310表面形成一具有輪廓深度之金屬層，用以作為金屬內連線320，其中金屬層一般可為鎢(W)、鋁、鋁矽銅合金(AlSiCu)、或鋁銅合金(AlCu)，其中鋁因電阻率低，故可作為元件間之金屬導線，其能以磁控直流濺鍍法(magnetron DC Sputtering)沈積形成，而鋁矽銅合金或鋁銅

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (7)

合金則係用以避免尖峰(spike)及電遷移(electromigration)現象，金屬鎢則能藉由化學氣相沈積法(CVD)形成，此外，為了提昇附著能力，可選擇沈積一層阻障層，如以反應性濺鍍形成氮化鈦層(TiN)。

其次在該基底 300 上方形成一覆蓋金屬層 320 之絕緣層 330、350，以作為層間介電層如內金屬介電層(IMD：Inter-Metal Dielectrics)335，其用來隔離後續呈立體架構之多層金屬內連線(multi-level interconnects)。然而由於內金屬介電層係介於兩金屬層之間，因此介電係數(k)之高低便與 RC 延遲時間有關，一般介電材料係選擇低介電係數(low k)之介電材料來降低層間電容值(C)，如介電係數約 3.9~4.9 之氧化物物質，以避免層間介電層因 RC 延遲時間而減緩積體電路裝置之操作速度，一般以氧化層最常被使用，例如旋塗式玻璃(spin-on-glass)，或以電漿化學氣相沈積法(PECVD)沈積之氧化層。此外，以矽甲烷(silane)為主反應物，並藉高密度電漿化學氣相沈積製程(HDP)，例如電子迴旋加速共振(ECR)形成之氧化層，其因具有絕佳之填溝能力(gap-fill)，故不易有孔隙(voids)產生，其介電係數(low k)值則約為 4.0，另一種低介電係數之介電材料，例如以四乙氧基矽酸鹽/臭氧(TEOS/O₃)為主反應物，並藉化學氣相沈積製程形成之氧化層，由於 TEOS 於室溫常壓下為液態之含矽有機介電材料，因此具有良好之階梯覆蓋能力，因此亦常被採用，至於其介電係數(low k)值則約為 4.45。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (8)

另外，由於鋁的溶點低，無法承受 500 °C 以上之製程溫度，因此，一般係採用 450 °C 以下之化學氣相沈積製程 (CVD) 來進行介電材料之沈積。

接著，依據蝕刻機台之特性，可選擇是否要形成一蝕刻停止層 340，例如在欲形成蝕刻停止層 340 之場合，可以二氯矽甲烷、氬為主反應物，並藉化學氣相沈積製程 (CVD ; chemical vapor deposition) 形成一氮化矽層 340。

其次，請參閱第 13 圖，該步驟為以微影製程定義一介層窗圖案，例如先塗佈一光阻材料 360，經曝光顯影後，定義一介層窗圖案，其形成有露出絕緣層 350 部份表面之開口 365。

請參閱第 14 圖，該步驟為依據介層窗圖案蝕刻層間介電層 335 以形成孔洞 370，亦即其可以含氟氣體電漿如三氟甲烷電漿為蝕刻氣體，對絕緣層 330、350 及蝕刻停止層 340 進行乾蝕刻，以形成暴露下層金屬內連線 320 部份表面的孔洞 370，隨之以乾式或濕式去光阻製程除去光阻材料 360。

接續，請參閱第 15 圖，該步驟為形成一抗反射層 (ARC : anti-reflection coating)，例如利用旋轉塗佈 (spin coating) 方式塗佈一抗反射塗料，經烘烤 (bake) 後，形成覆蓋層間介電層 335 並填滿孔洞 370 之抗反射層 400，其用來避免下金屬內連線 320 於蝕刻時受到損傷。其中，抗反射層原係用來防止金屬層表面反光，以免對光阻曝光之精確度造成影響或使圖案移轉失真。一般在光阻材料表面沈

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(9)

積抗反射材料者為頂抗反射層(TARC)，在使用鋁金屬層之場合，可搭配鈦、氮化鈦、或氮化鎢等抗反射塗料，此外，在光阻材料底下沈積抗反射材料如採用含有機材料物質者為底抗反射層(BARC)。

請參閱第 16 圖，該步驟為定義一內連線溝槽圖案，例如再次塗佈一光阻材料 380，經微影製程之曝光顯影步驟，定義內連線溝槽圖案，以暴露出抗反射層 400 之部份表面 381。

依次，請參閱第 17 圖，該步驟為依據內連線溝槽圖案蝕刻該抗反射層 400，以暴露絕緣層 350 部份表面，並留下部份抗反射層 400a 於孔洞 370 中。例如，可先以光阻材料 380 為遮蔽罩幕，再利用非等向性蝕刻如選擇性乾蝕刻或活性離子蝕刻(RIE)製程蝕刻抗反射層 400，用以暴露絕緣層 350 部份表面，並留下部份抗反射材料 400a 於孔洞 370 中。

請參閱第 18 圖，依據前述第 17 圖之內連線溝槽圖案，該步驟以抗反射層 400a 及遮蔽層 340 作為蝕刻停止或緩衝層，蝕刻絕緣層 350 形成一內連線溝槽 382。例如，可以光阻 380 為遮蔽罩幕，氮化矽層 340 為蝕刻停止層，並以孔洞 370 中之抗反射材料 400a 為蝕刻緩衝層，進而，使用氟化碳/三氟甲烷(CF_4/CHF_3)為蝕刻氣體電漿，蝕刻氧化層 350 至氮化矽層 340 為止，形成一位於氧化層 350 處之內連線溝槽 382。

隨之請參閱第 19 圖，除去光阻 380 及剩餘之抗反射層

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(10)

400、400a，並以位於絕緣層330處之孔洞作為介層窗383。例如先以乾式去光阻製程如含氧離子電漿清除正光阻380及抗反射層400、400a，再搭配濕式去光阻製程清除殘餘灰質。

最後，如第20圖所示，形成另一內連線390，以同時填滿介層窗383及內連線溝槽382，完成鑲嵌式內連線結構。如沈積另一金屬鋁層390，以覆蓋該絕緣層350，並填滿該內連線溝槽382及介層窗383，接著回蝕刻或以化學機械研磨製程(CMP：chemical mechanic polishing)平坦化該金屬鋁層390以形成一填平介層窗383及內連線溝槽382之鑲嵌式內連線結構。

請參閱第21至22圖，其顯示本發明之第二實施例，其中相同步驟在此不予贅述。首先依據第21圖，其對應第16圖具有蝕刻停止層340之場合，在此，則依據蝕刻機台之特性選擇不形成蝕刻停止層，因此，該步驟於定義一內連線溝槽圖案，例如再次塗佈一光阻材料380，經微影製程之曝光顯影步驟，定義內連線溝槽圖案，以暴露出抗反射層400之部份表面381後，即依據第22圖，利用光阻380作為遮蔽罩幕，以非等向性蝕刻如乾蝕刻方式，計算蝕刻時間，直接對抗反射層400及絕緣層350進行蝕刻，形成內連線溝槽382，並留下部份抗反射材料400a於介層窗383中，其次，接續如第18圖至20圖之步驟。

另外，前述製程亦可直接乾蝕刻抗反射層400及絕緣層350至蝕刻停止層為止，以形成內連線溝槽382，但仍

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(11)

搭配蝕刻停止層之設置，而非計算蝕刻時間。

綜合上述，由於抗反射層可防止金屬層表面反光，避免對光阻曝光之精確度造成影響或使圖案移轉失真，且以抗反射層取代光阻作為介層窗(via)或接觸窗(contact)內之蝕刻緩衝層，即毋需藉調整曝光量來決定顯影程度，因此，製程誤差容許度(process window)較傳統製程為寬，可有效提昇良率。

本發明中應用之物質材料，並不限於實施例所引述者，其能由各種具恰當特性之物質和形成方法所置換，且本發明之結構空間亦不限於實施例引用之尺寸大小。

雖然本發明已以一較佳實施例揭露如下，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可做些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

1.一種鑲嵌式內連線結構之製造方法，包括下列步驟：

(a)提供一基底，其表面具有一第一內連線；

(b)依序在該基底上方形成一第一介電層及一第二介電層，以作為覆蓋該第一內連線之層間介電層；

(c)定義一介層窗圖案，並蝕刻該層間介電層以形成暴露該第一內連線部份表面之孔洞；

(d)形成一抗反射層，其覆蓋該層間介電層並填滿該孔洞；

(e)定義一內連線溝槽圖案，並依據該內連線溝槽圖案蝕刻該抗反射層及第二介電層，以於該第二介電層處形成內連線溝槽；

(f)除去剩餘之該抗反射層，以位於該第一介電層處之孔洞作為介層窗；及

(g)形成一第二內連線，其填滿該介層窗及內連線溝槽，完成鑲嵌式內連線結構。

2.如申請專利範圍第 1 項所述之製造方法，其中，該第一內連線係由包含金屬材料物質組成。

3.如申請專利範圍第 2 項所述之製造方法，其中，該包含金屬材料物質為鋁、鋁銅合金、及鋁矽銅合金之一。

4.如申請專利範圍第 1 項所述之製造方法，其中，該第一介電層為一氧化層。

5.如申請專利範圍第 1 項所述之製造方法，其中，該第二介電層為一氧化層。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

6.如申請專利範圍第1項所述之製造方法，其中，該抗反射層為一底抗反射層(BARC)。

7.如申請專利範圍第6項所述之製造方法，其中，該底抗反射層係由含有機材料組成。

8.如申請專利範圍第1項所述之製造方法，其中，該步驟(e)係依據該內連線溝槽圖案，直接計算蝕刻時間，以乾蝕刻製程蝕刻該抗反射層及第二介電層，以於該第二介電層處形成複數個內連線溝槽。

9.如申請專利範圍第8項所述之製造方法，其中，於該步驟(f)，該些介層窗係與部份內連線溝槽形成連通。

10.如申請專利範圍第1項所述之製造方法，其中，該第二內連線係由包含金屬材料物質組成。

11.如申請專利範圍第2項所述之製造方法，其中，該包含金屬材料物質為鋁、鋁銅合金、及鋁矽銅合金之一。

12.一種鑲嵌式內連線結構之製造方法，包括下列步驟：

(a)提供一基底，其表面具有一第一內連線；

(b)依序在該基底上方形成一第一介電層、一蝕刻停止層、及一第二介電層，以作為覆蓋該第一內連線之層間介電層；

(c)定義一介層窗圖案，並蝕刻該層間介電層以形成暴露該第一內連線部份表面之孔洞；

(d)塗佈一抗反射層，其覆蓋該層間介電層並填滿該孔洞；

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

(e)定義一內連線溝槽圖案，並依據該內連線溝槽圖案蝕刻該抗反射層、第二介電層至該蝕刻停止層為止，以於該第二介電層處形成內連線溝槽；

(f)除去剩餘之該抗反射層，以該第一介電層處之孔洞作為介層窗；及

(g)形成一第二內連線，其填滿該介層窗及內連線溝槽，完成鑲嵌式內連線結構。

13.如申請專利範圍第 12 項所述之製造方法，其中，該蝕刻停止層為一氮化矽層。

14.如申請專利範圍第 12 項所述之製造方法，其中，該第一內連線係由包含金屬材料物質組成。

15.如申請專利範圍第 12 項所述之製造方法，其中，該第一介電層為一氧化層。

16.如申請專利範圍第 12 項所述之製造方法，其中，該第二介電層為一氧化層。

17.如申請專利範圍第 12 項所述之製造方法，其中，該底抗反射層係由包含鈦、氮化鈦、氮化鎢材料之一組成。

18.如申請專利範圍第 12 項所述之製造方法，其中，該步驟(e)係依據該內連線溝槽圖案，直接以乾蝕刻製程蝕刻該抗反射層及第二介電層至蝕刻停止層為止，以於該第二介電層處形成複數個內連線溝槽。

19.如申請專利範圍第 12 項所述之製造方法，其中，該第二內連線係由包含金屬材料物質組成。

20.一種鑲嵌式內連線結構之製造方法，包括下列步

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

聯：

- (a)提供一基底，其表面具有一第一內連線；
- (b)依序在該基底上方形成一第一介電層、一遮蔽層、及一第二介電層，以作為覆蓋該第一內連線之層間介電層；
- (c)定義一介層窗圖案，並蝕刻該層間介電層以形成暴露該第一內連線部份表面之孔洞；
- (d)塗佈一抗反射層，其覆蓋該層間介電層並填滿該孔洞；
- (e)定義一內連線溝槽圖案，並依據該內連線溝槽圖案蝕刻該抗反射層，以暴露該第二介電層部份表面，並留下部份該抗反射層於孔洞中；
- (f)以該抗反射層及遮蔽層為罩幕，蝕刻該第二介電層至該遮蔽層為止，於該第二介電層處形成內連線溝槽；
- (g)除去剩餘之該抗反射層，以該第一介電層處之孔洞作為介層窗；
- (h)形成一第二內連線，其填滿該介層窗及內連線溝槽，完成鑲嵌式內連線結構。

21.如申請專利範圍第 20 項所述之製造方法，其中，該步驟(e)係依據該內連線溝槽圖案，選擇性蝕刻該抗反射層，以暴露該第二介電層部份表面，並留下部份該抗反射層於孔洞中。

22.如申請專利範圍第 20 項所述之製造方法，其中，該步驟(f)係以該抗反射層及遮蔽層為罩幕，選擇性蝕刻該

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

第二介電層至該遮蔽層為止，以於該第二介電層處形成內連線溝槽。

23.如申請專利範圍第 22 所述之製造方法，其中，該第二介電層為一氧化層。

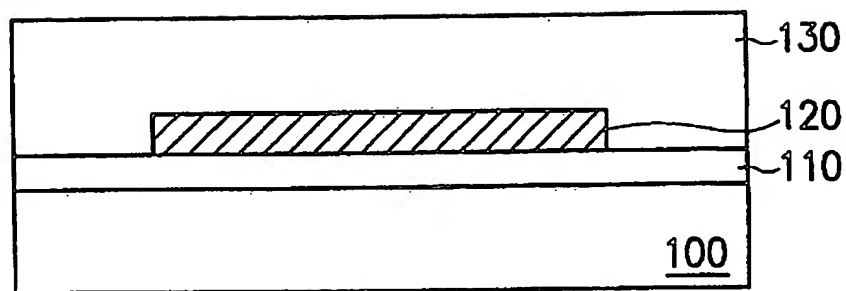
24.如申請專利範圍第 22 項所述之製造方法，其中，該抗反射層係由含有機材料組成。

25.如申請專利範圍第 22 項所述之製造方法，其中，該步驟(f)之選擇性蝕刻，係以含氟化碳/三氟甲烷蝕刻氣體進行。

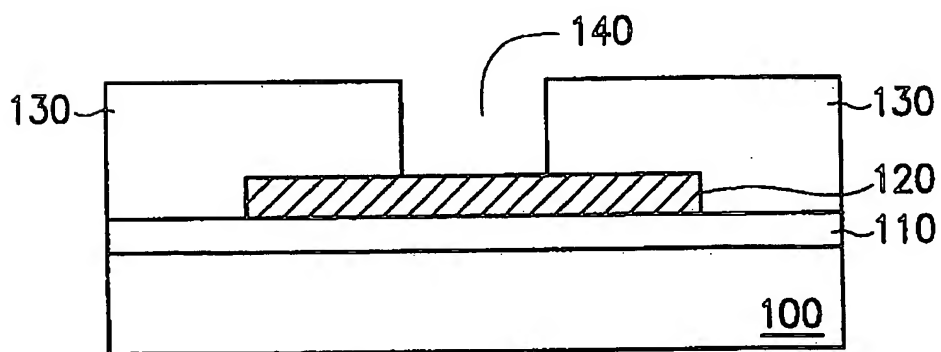
(請先閱讀背面之注意事項再填寫本頁)

裝

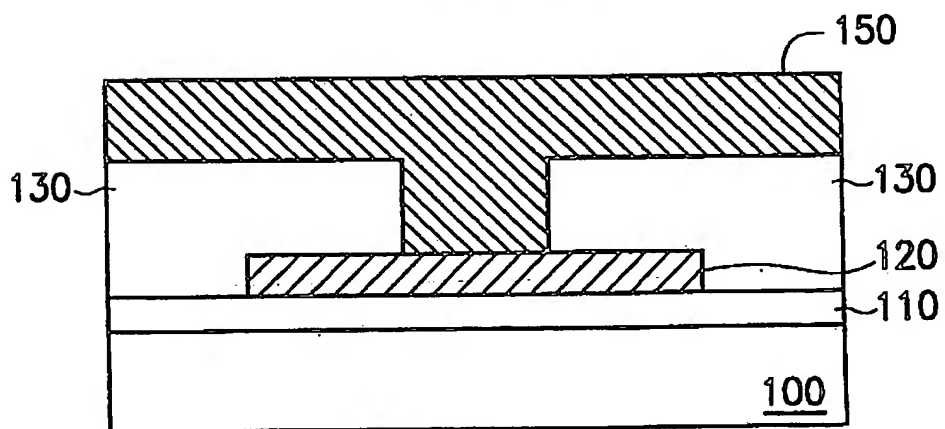
訂



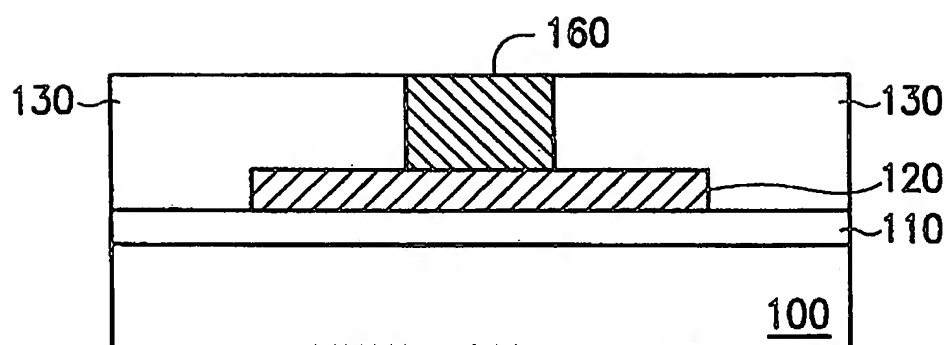
第 1 圖



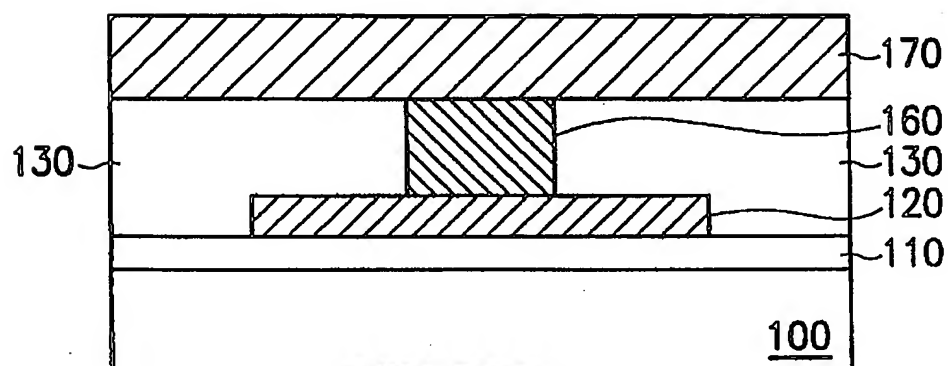
第 2 圖



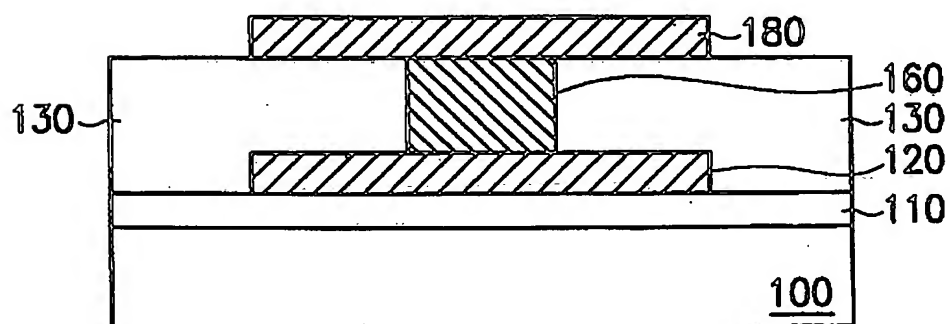
第 3 圖



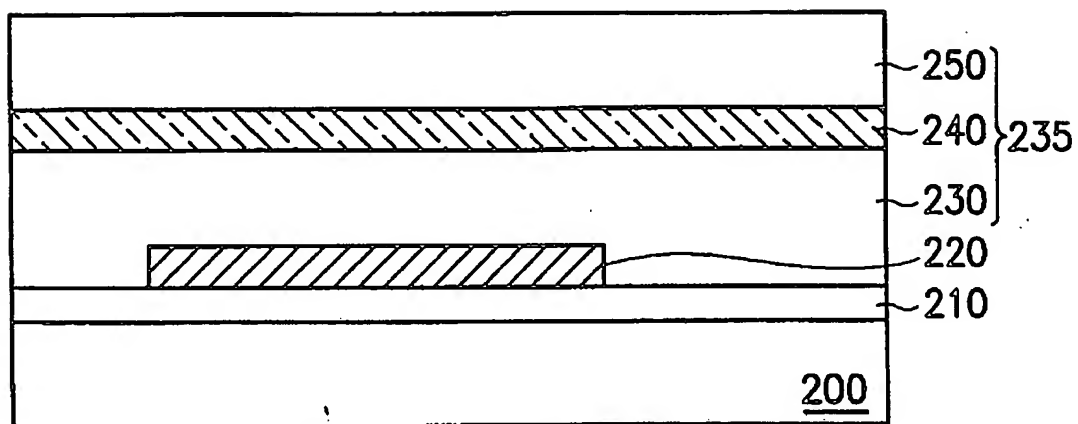
第 4 圖



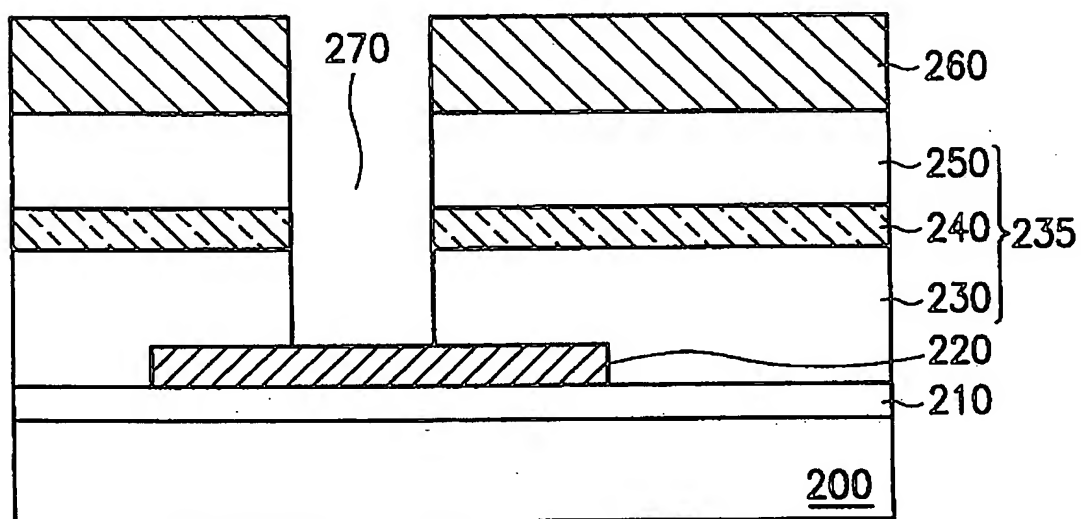
第 5 圖



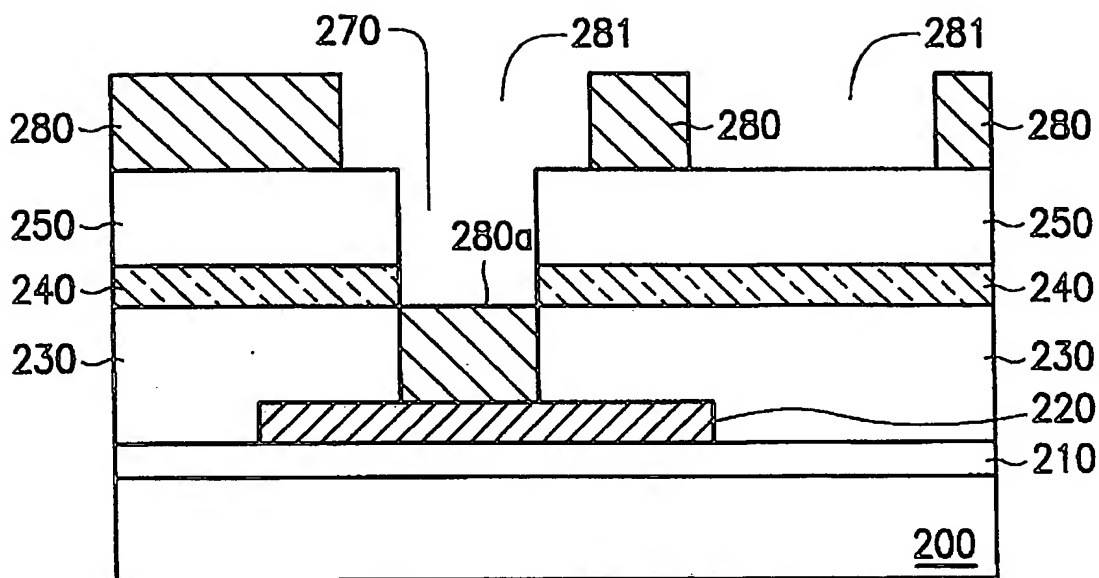
第 6 圖



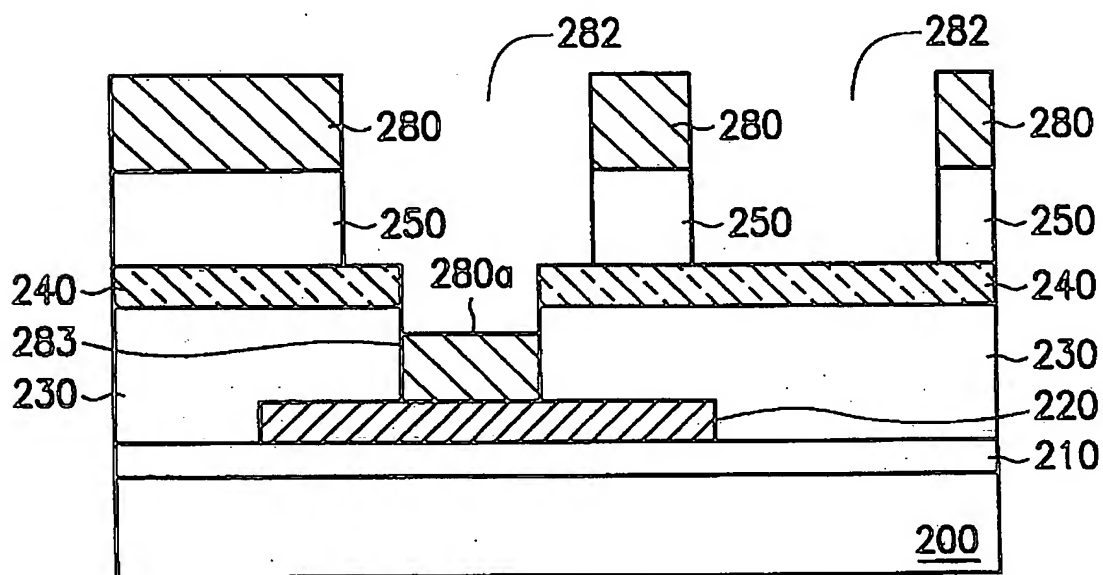
第 7 圖



第 8 圖

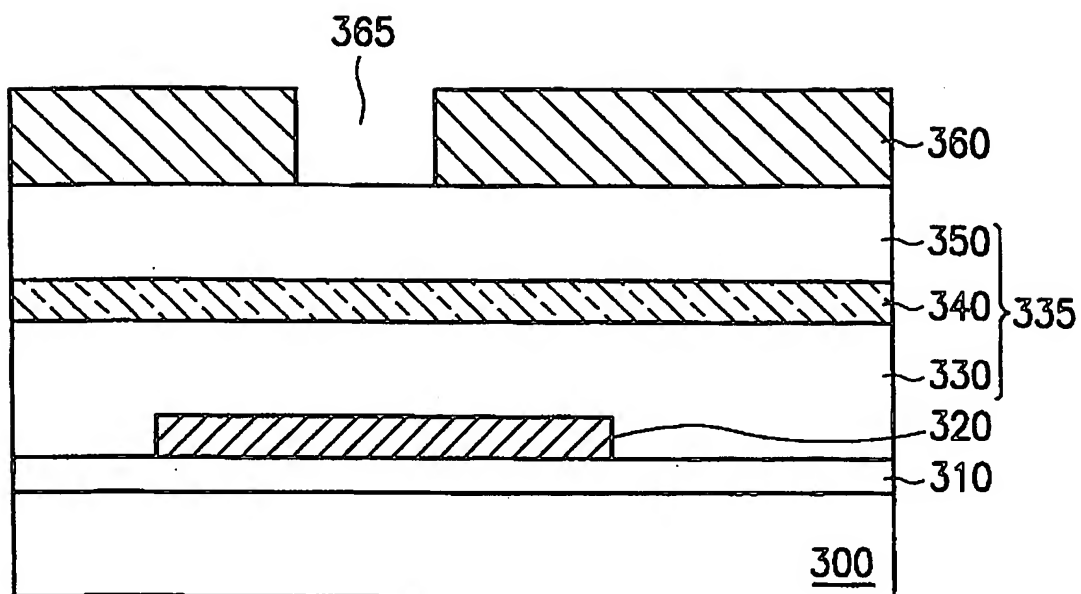


第 9 圖

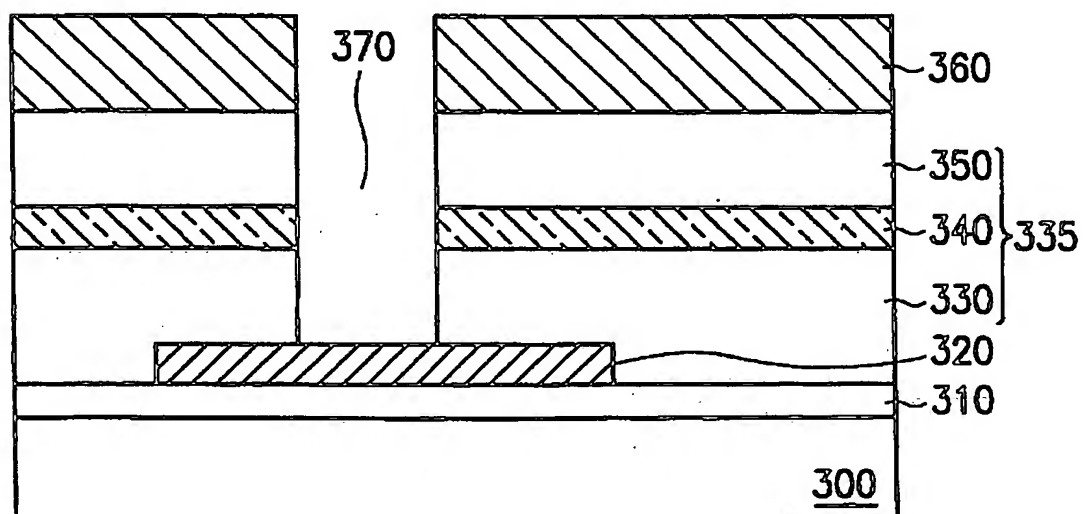


第 10 圖

530505

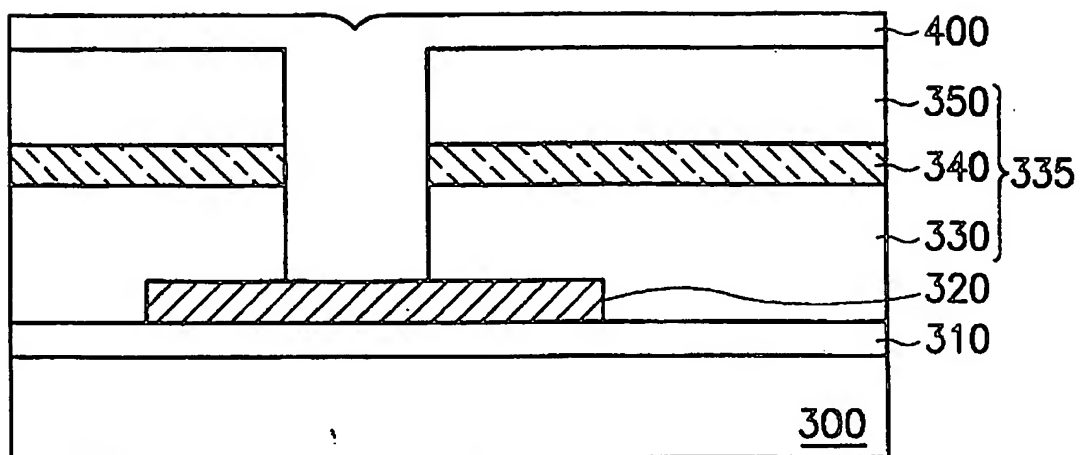


第13圖

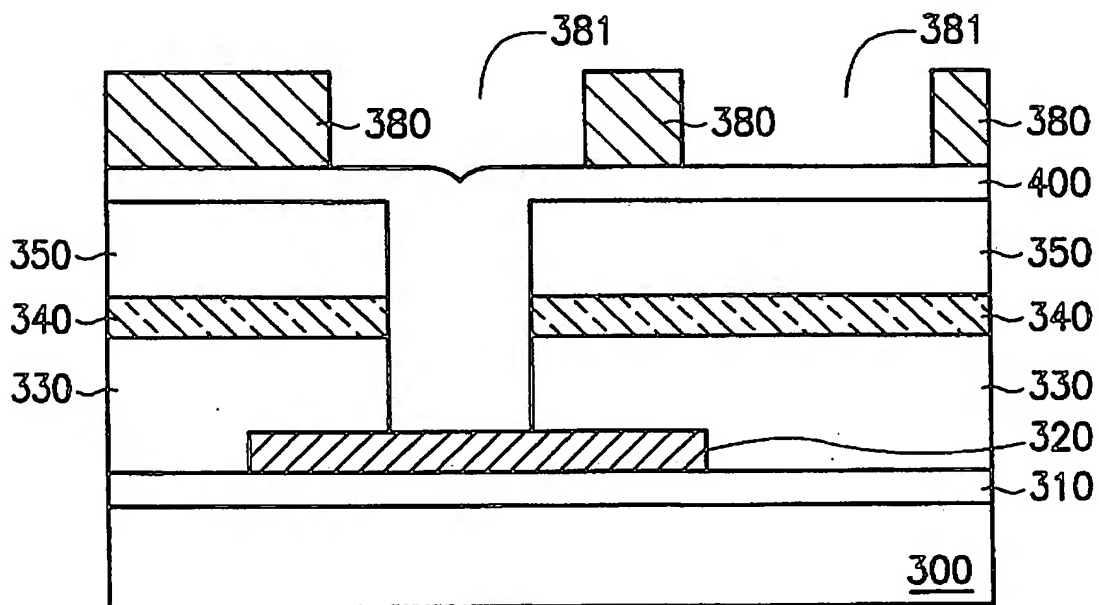


第14圖

836605

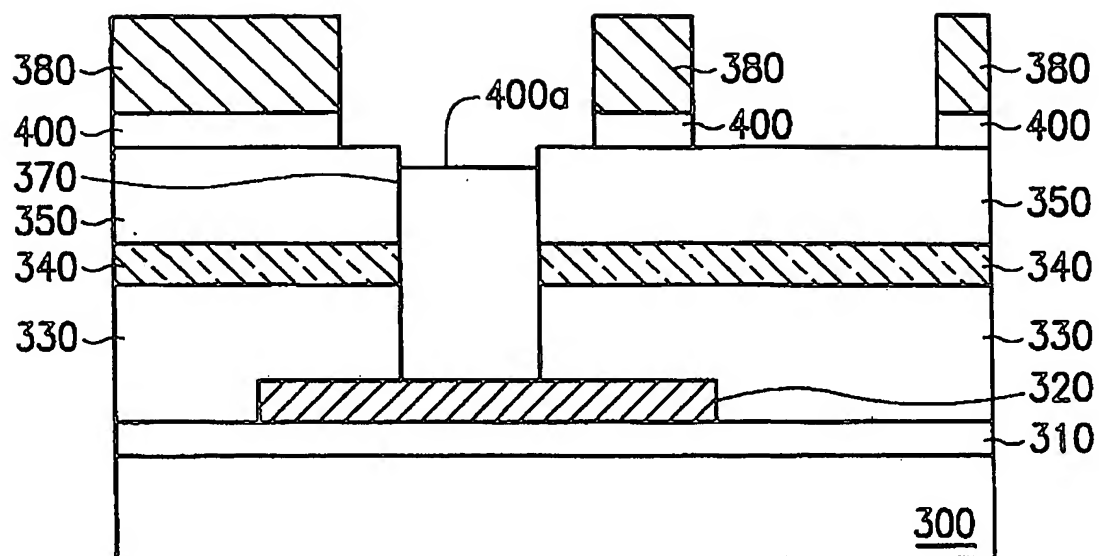


第 15 圖

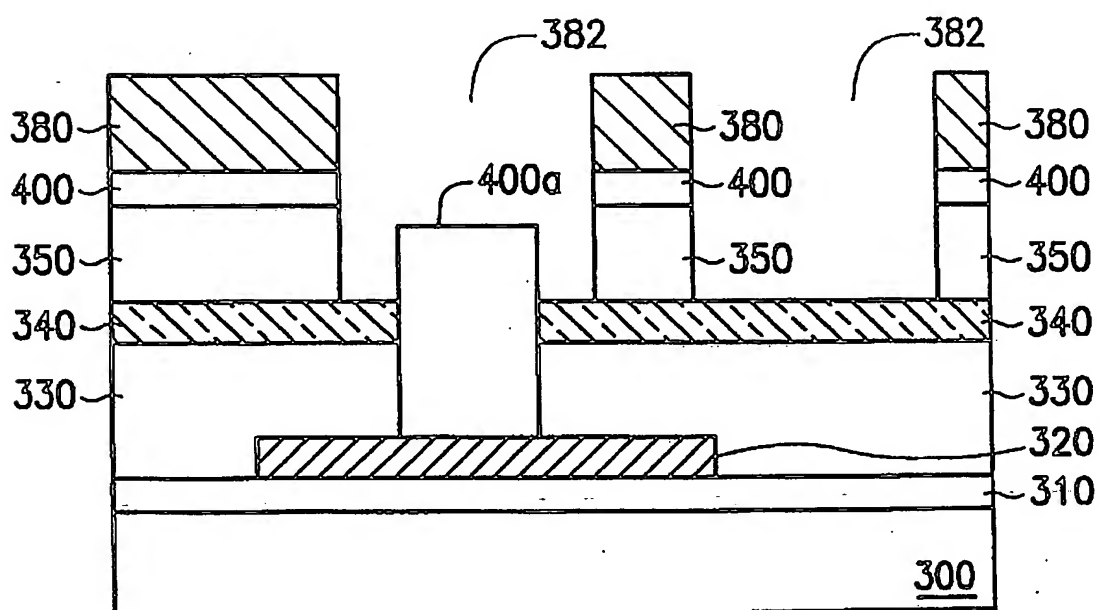


第 16 圖

806565

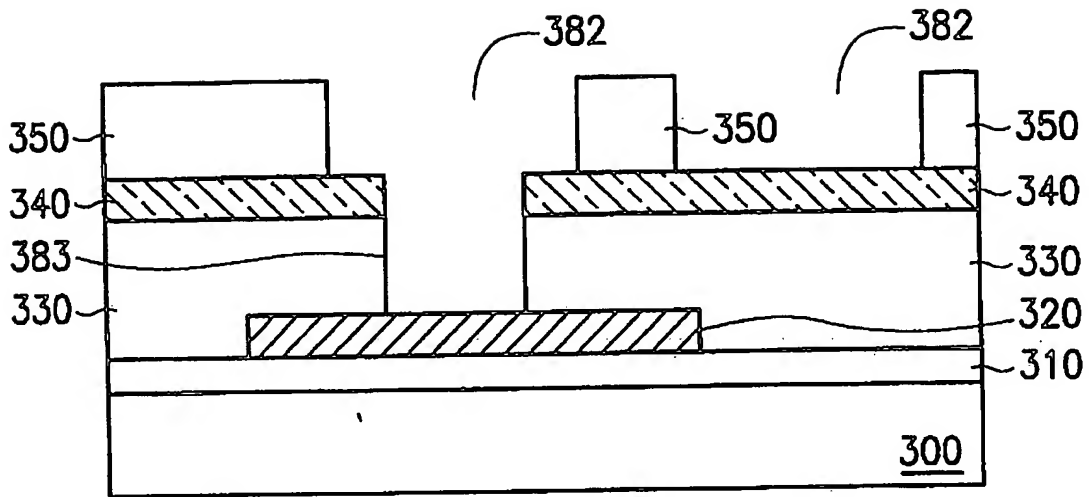


第 17 圖

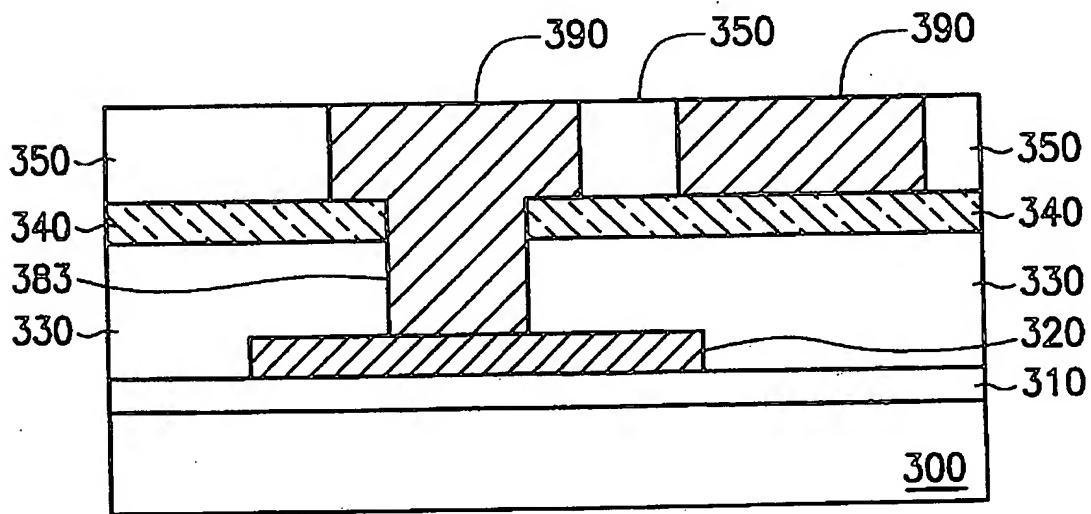


第 18 圖

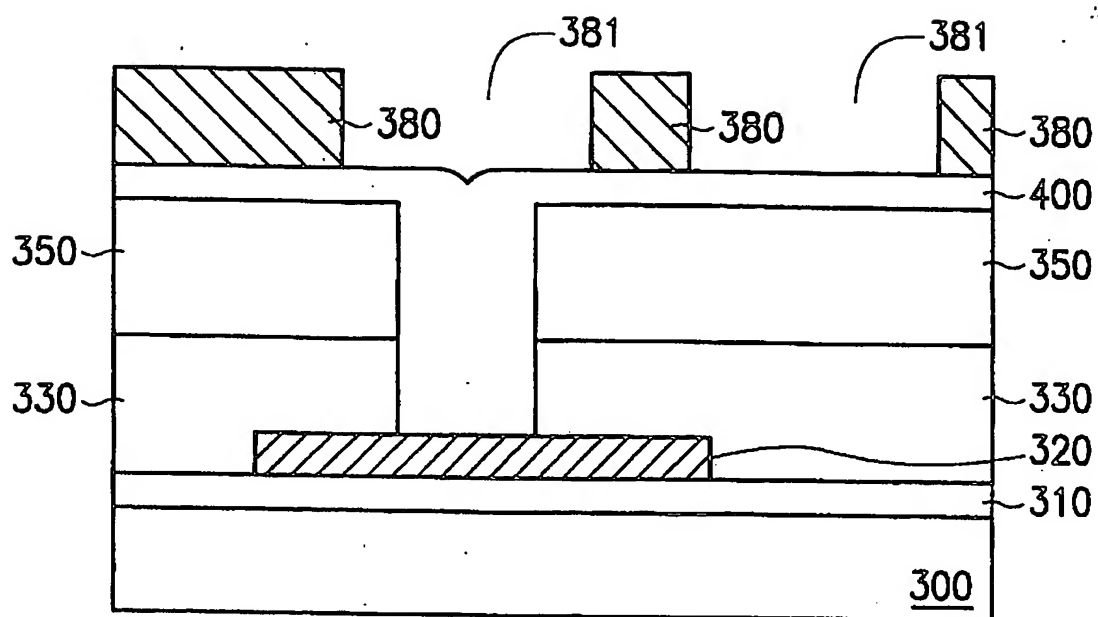
336565



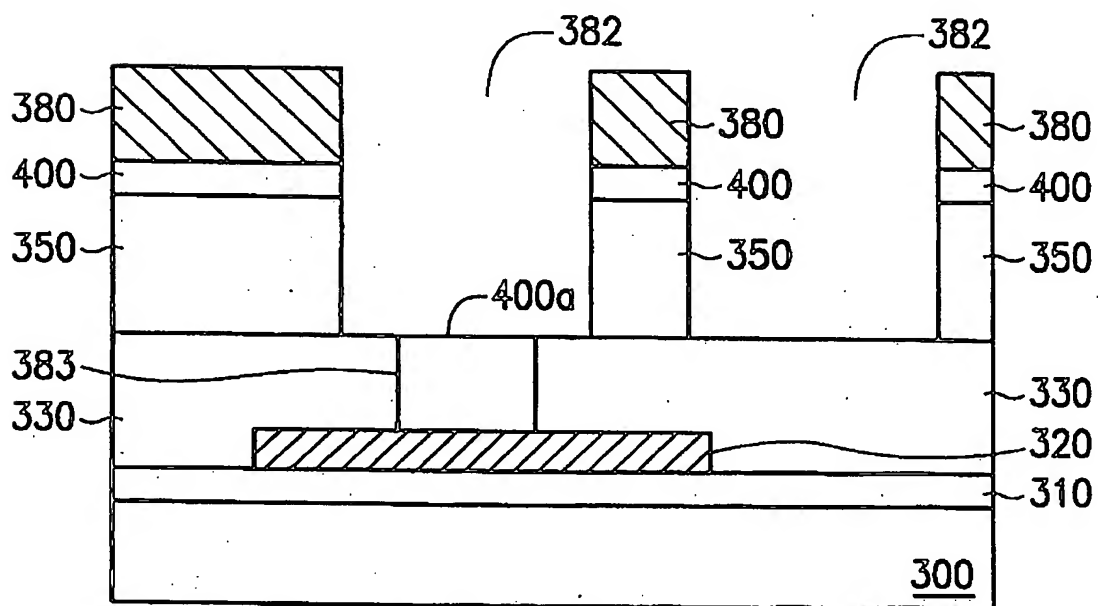
第 19 圖



第 20 圖



第 21 圖



第 22 圖

This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.